

1) Se decide mejorar un sistema de memoria virtual agregando un TLB.

Supongamos que el sistema tiene las siguientes características.

- Dirección lógica de 32 bits.
- Páginas de 8kb
- Memoria física máxima de 64mb.

Memory Unit	Access Time	Miss Rate
TLB	1	0.05%
CACHE	1	1.00%
MAIN MEMORY	100	0.03%
HARD DRIVE	150000	0.00%

El miss rate en el TLB y en la caché indica cuán seguido no se encuentra la entrada, mientras que en la memoria principal indica cuán seguido ocurre un Page Fault.

- En el caso de un acceso a memoria, hay seis posibles eventos que puedan ocurrir: CACHE MISS/HIT, TLB HIT/MISS y PAGE TABLE HIT/MISS (page fault). Analice la viabilidad de las 8 posibles combinaciones del producto cartesiano: (CACHE MISS, CACHE HIT) x (TLB HIT, TLB MISS) x (PAGE TABLE HIT, PAGE FAULT) justificando con un ejemplo aquellas combinaciones factibles y con una explicación aquellas imposibles.
- Suponiendo que la tabla de páginas se encuentra residente en memoria y nunca se almacena en caché, indique para cada uno de los casos posibles del inciso anterior cuál es el tiempo promedio de acceso. Luego, ¿Cuál es el tiempo promedio total de acceso a memoria?

2) Una implementación reducida del PIPELINE RISC de 5 etapas puede aprovechar la etapa EXECUTE para evaluar la condición de un BRANCH y actualizar el PC para la etapa FETCH recién cuando la instrucción BRANCH alcanza la etapa MEMORY. Esto genera STALLS debido a un conflicto de control que puede reducirse si la condición del BRANCH se resuelve en la etapa DECODE.

Explique por qué esta última estrategia puede incrementar los ciclos de STALLS por conflictos de datos.

3) Se necesita implementar un HW específico que sume 3 números binarios. Para eso se implementó un bloque sumador de 3 bits (full 3-adder).

Dado que la mayor diferencia entre sumar 2 bits y sumar 3 es que el acarreo se puede propagar hasta 2 posiciones, este bloque toma 5 bits X_i, Y_i, Z_i, C_{i-1} y C_{i-2} y devuelve 3 (S_i, C_{i+1} y C_{i+2}).

Las entradas

- Los bits X_i, Y_i, Z_i se corresponden a los tres bits de la posición i a sumar.
- C_{i-1} y C_{i-2} son los acarreos a la posición actual provenientes de las dos posiciones anteriores.

a) Esquematice la implementación de un sumador de 3 números de 4 bits usando full 3-adders. Muestre cómo operaría el HW al sumar los siguientes tres números, asumiendo acarreos iniciales en 0.

0111 (x)

1010 (y)

0111 (z)

b) Un sumador binario es un bloque bastante versátil que suma dos números de 4 bits A y B...

Implemente (sin agregar HW adicional) un full 3-adder, es decir, un sumador de 5 bits. Indique claramente cuales son los 5 bits de entrada y cuales son los 3 bits de salida.

4) Analice la veracidad de las siguientes frases:

a) Si T es el tiempo de ejecución con determinada cantidad de recursos, al multiplicar por n la cantidad de recursos, el tiempo de ejecución será T/n

b) Aumentar la frecuencia del reloj de un sistema es una modificación que mejora el speedup aunque no se modifique el CPI

c) La implementación fuera del orden del pipeline fue diseñada para evitar los conflictos RAW

d) Una unidad de control microprogramada es más rápida que una unidad de control cableada debido a que ejecutar microoperaciones en paralelo en un hardware es menos propenso a errores