



Parcial Global 2025 – 24 Junio 2025

TEMA A

Apellido y Nombres:
 L.U.: Cantidad de hojas entregadas:

Resolver los ejercicios en hojas separadas, indicando Apellido y Nombre – LU y número de hoja en cada una.

Resuelva el parcial considerando la siguiente tabla de latencias:

Operación	Latencia en ciclos	Cantidad de Unidades funcionales	Unidad funcional estructurada en pipeline
+,-,XOR	1	1	no
*, /	3	1	Si

Figura 1

Ejercicio 1

Seleccione la respuesta correcta. En caso de seleccionar otro, justificar su respuesta.

P1. ¿Cuál es el principal objetivo del uso de *forwarding* en un pipeline de instrucciones?

- a) Reducir el consumo de energía.
- b) Eliminar instrucciones innecesarias.
- c) Minimizar los *hazards* de datos sin usar *stalls***
- d) Permitir ejecutar instrucciones fuera de orden
- e) Otro: _____

P2. ¿Cómo se diferencia un procesador VLIW de un Superescalador en cuanto al control del paralelismo de instrucciones?

- a) En ambos casos, el hardware se encarga de identificar instrucciones paralelas en tiempo de ejecución.
- b) En VLIW, el paralelismo se determina dinámicamente durante la ejecución.
- c) En VLIW, el compilador agrupa las instrucciones en paquetes para que se ejecuten en paralelo.**
- d) En VLIW, el paralelismo no es posible.
- e) Otro: _____

P3. Dadas las siguientes instrucciones, suponiendo que se cuenta con un procesador de 5 etapas (F, D, E, M, WB) en orden CON *forwarding*:

$R2 = R3 * R4$ (3 ciclos en EX)

$R5 = R2 + R6$ (1 ciclo en EX)

¿Cuántos ciclos de *stall* se necesitan?

- a) 0
- b) 1
- c) 2**

R2=R3*R4	F	D	E1	E2	E3	M	WB										
R5=R2+R6		F	D	DS	DS	E	M	WB									

- d) 4
- e) Otro: _____



Apellido y Nombres:
 L.U.: Cantidad de hojas entregadas:

P4. Teniendo en cuenta las siguientes instrucciones y la tabla de latencias especificada en la Figura 1, desarrollar los siguientes incisos considerando un procesador fuera de orden que implementa el algoritmo de Tomasulo con pipeline de instrucciones de 6 etapas sin forwarding (F,DR,DS,E,WR,C).

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
I0: R4=R1 x R4	F	DR	DS	E1	E2	E3	WR	C										
I1: R5=R4 x R6		F	DR	DS	w	w	w	E1	E2	E3	WR	c						
I2: R6=M[R5]			F	DR	DS	w	w	w	w	w	w	E	E	WR	C			

- Completar el diagrama de Gantt.
- ¿En qué ciclo la instrucción I0 reserva la estación de reservación? ... 2
- ¿En qué ciclo la instrucción I2 realiza el dispatch? ...dispatch ciclo 5, despacho entre el 11 y 12

P5. ¿Cuál de las siguientes condiciones podría limitar el rendimiento de un procesador superescalar de ancho $W=2$?

- Acceso simultáneo a dos memorias caché independientes.
- Existencia de dependencias de datos entre instrucciones.
- Disponibilidad de dos núcleos de ejecución paralela.
- El uso exclusivo de instrucciones de punto flotante.

Ejercicio 2:

Un procesador cuenta con una memoria caché que implementa una organización 4-way set associative que se direcciona a nivel de byte. **Dimensionar el tamaño de la memoria caché destinado a datos**, teniendo en cuenta que la dirección tiene el formato que se muestra en la Figura 3, con 8 bits para el Index y 6 bits para el Offset. Además, suponiendo que la memoria principal tiene una capacidad de 32 MB, **determinar el tamaño del campo de TAG**.

TAG	INDEX	OFFSET
-----	-------	--------

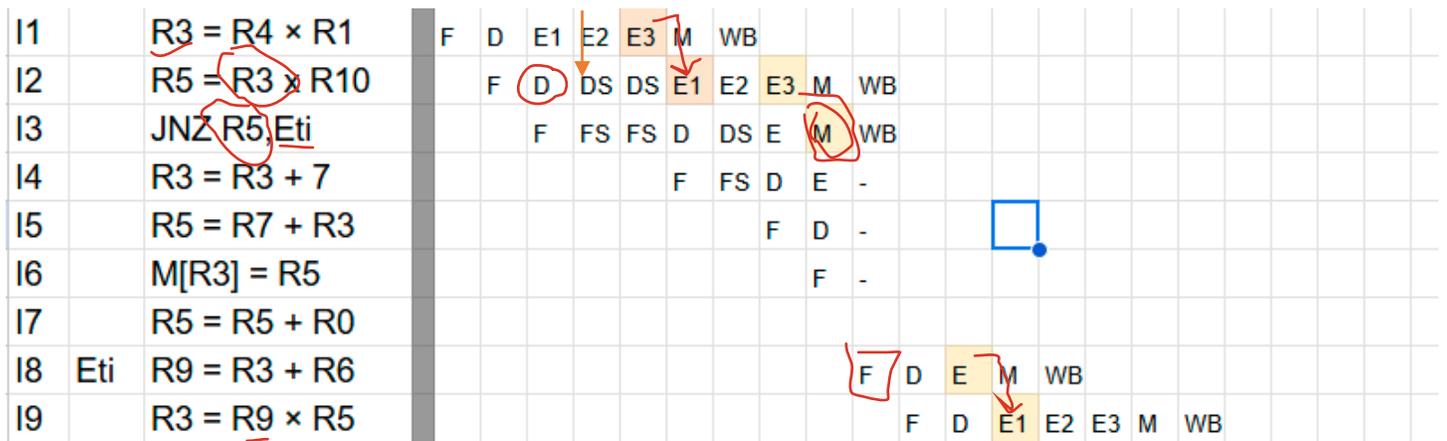
Figura 3

- Offset = 6 bits. Para direccionar $2^6 = 64$ bytes (tamaño de la línea).
- Index = 8 bits. $2^8 = 256$ conjuntos (4-way) Si cada conjunto tiene 4 líneas por ser 4 way, entonces $256 \cdot 4 = 1024$ líneas. De 64 bytes cada una, entonces la cache tiene 65536 bytes. O sea el tamaño de la cache es de 64K.



Ejercicio 3:

Suponiendo que se cuenta con un procesador de 5 etapas (F, D, E, M, WB) en orden **CON forwarding**. Asumir que para Load y Store la dirección de memoria se calcula en la etapa *Execute* en un sumador dedicado exclusivamente al cálculo de direcciones efectivas que tiene 1 ciclo de latencia para las unidades aritmético-lógicas. El acceso a memoria se realiza en la etapa Memory e *insume 1 ciclo*. Considerando que las escrituras de write-back se realizan en la primera mitad del ciclo, mientras que la etapa decode lee en el banco de registros en la segunda mitad del ciclo. Además, suponiendo que los valores de los registros: R9 = 2 y R10 = 7, y que el pipeline cuenta con predicción **NO tomado** y en la etapa Memory resuelve el salto. Completar el diagrama de Gantt de la *Figura 2* considerando las latencias mostradas en la *Figura 1*.



CON FW

PRED NO TOMADO EN ETAPA MEMORY RESUELVE SALTO. VALOR R10=2, R4=1, R1=2. El salto SI se va a realizar

Operación	1	1	no
+, -, XOR	1	1	no
*, /	3	1	Si



Departamento de Cs. E Ingeniería de la Computación
Universidad Nacional del Sur
Primer Cuatrimestre de 2025



Apellido y Nombres:

L.U.: Cantidad de hojas entregadas: