



ARQUITECTURA DE COMPUTADORAS

Primer Parcial

Primer Cuatrimestre de 2012

Apellido y Nombres: L.U.:
D.N.I.: Cantidad de Hojas Entregadas (sin enunciado):

Nota: Resolver los ejercicios en hojas separadas, poniendo nombre y número a todas.

Ejercicio 1

Dada la función:

$$F(A, B, C, D) = ABC\bar{D} + \bar{A}BC\bar{D} + \bar{A}BCD + BCD + A\bar{B}D$$

1. Empleando el método tabular trabajando sobre los 1's de la función:
 - a) Determinar los implicants primos. En caso de haber, enumerar a los implicants primos que resulten esenciales fundamentando su respuesta. En caso de no haber implicants primos esenciales, fundamentar tal afirmación.
 - b) Utilizando la tabla de implicants, armar la función de cobertura y determinar todas las alternativas irredundantes.
 - c) Elegir una solución óptima y desarrollar el diagrama lógico de detalle utilizando compuertas NAND e inversores.
2. Utilizando el método gráfico:
 - a) Minimizar la función trabajando sobre los 0's de la función.
 - b) Desarrollar el diagrama lógico de detalle para la solución encontrada utilizando compuertas NOR e inversores.
3. Comparar la complejidad de ambas soluciones.

Ejercicio 2

Se desea diseñar un conversor Gray-BCD de acuerdo con la siguiente especificación:

Gray				BCD			
A	B	C	D	z ₁	z ₂	z ₃	z ₄
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	1
0	1	1	0	0	1	0	0
0	1	1	1	0	1	0	1
0	1	0	1	0	1	1	0
0	1	0	0	0	1	1	1
1	1	0	0	1	0	0	0
1	1	0	1	1	0	0	1

$BC(\bar{A}\bar{B} + \bar{A}D)$
 $BC(\bar{A})$

$BC(\bar{A}\bar{B} + \bar{A}D)$
 $BC(\bar{A})$
 $BC(\bar{A}D + \bar{B}D)$
 $BC(\bar{A})$



1. Bosquejar el diagrama lógico de detalle para cada una de las siguientes alternativas:

- Haciendo uso de MUXs de 4 a 1 y compuertas NAND de dos entradas e inversores para las funciones residuo, tomando las variables B y D en las líneas de selección. Estimar el costo a nivel de fracción de chip, asumiendo que el MUX de 4 entradas ocupa medio chip y que tanto 4 compuertas NAND de dos entradas como 6 inversores ocupan un chip en su totalidad.
- Empleando un PLA, indicando el funcionamiento y el tamaño requerido.
- Utilizando una ROM. Indicar su programación (tabla de verdad) y el tamaño requerido.

2. Explique las ventajas de utilizar PLA con respecto a ROM. ¿Cuál es la limitación del PLA si se lo emplea como una memoria de sólo lectura (ROM)?

Ejercicio 3

Se desea diseñar un circuito secuencial para un sistema que posee dos entradas por nivel x_1, x_2 y una salida por nivel z . En dicho sistema la salida se pondrá en 1 si se produce un pulso de reloj con $x_1x_2 = 01$ y pasará a 0 si dos pulsos consecutivos del reloj se dan con $x_1x_2 = 11$. Ninguna otra combinación puede producir cambios en la salida. Según dicha especificación:

- Desarrollar el diagrama de estados y la tabla de estados correspondiente.
- Analizar la existencia de posibles estados equivalentes, de darse eliminar los estados que resulten redundantes.
- Especificar el número de elementos de memoria necesarios para implementar el sistema. Realizar 2 asignaciones de estado que resulten conceptualmente equivalentes a nivel de implementación. Explicar porqué dichas asignaciones son equivalentes.

4. Partiendo de cualquiera de dichas asignaciones:

- Determinar las funciones de excitación para la implementación del sistema con flip flops J-K. Especificar claramente cómo se obtuvo el valor correspondiente para cada entrada J y K.
- Desarrollar el diagrama lógico de detalle utilizando compuertas NAND e inversores y flip flops J-K.
- Obtener la función de salida optimizada. Desarrollar el diagrama lógico de detalle de la misma utilizando compuertas NAND e inversores.

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$



$$y_1 + y_2$$