

Apellido y Nombre.....

Tema 1

Detalle el circuito básico de un multiplicador de enteros no signados. Explique su funcionamiento. En caso de entender con enteros signados en signo-magnitud explique cómo se procedería. Cuáles son las alternativas, partiendo de este hardware, para el caso de notación 2's complemento referidas al error que se produce tanto con multiplicador como con multiplicando negativo (expresados como "pseudo positivos" de magnitud $2^n - 1$). Explique el porqué de la solución empleada en ambos casos.

Que entiende por CSA. Cuál es su utilidad en la implementación de un circuito multiplicador. Cuál es el beneficio que se alcanza al disponer de 4 o más CSA, con n número de productos parciales, lo cual alcanza su máximo aprovechamiento al disponer $(n - 2)$ CSA (Wallace Tree).

Tema 2

Objetivo de la cache en una jerarquía de memoria. Tecnología empleada. Concepto de hit, miss, hit ratio, y miss penalty. Tipificación de los miss según las tres C. Formas de organización y análisis comparativo de las mismas. Dimensione el tamaño de la cache (solo en lo concerniente a datos) para mapeo directo y set asociativo, a partir del tamaño de los campos index y offset, y de la asociatividad. Cuál es la utilidad del bit de válido y del bit de dirty.

Explique los objetivos de mejora de las siguientes alternativas de implementación:

- A) Organización multinivel de la cache
- B) Cache no bloqueante o lockup-free
- C) Organización pipelined
- D) Cache con TAG físico e INDEX virtual
- E) Critical Word first

Tema 3

Objetivo de un pipeline de instrucciones. Requerimientos básicos para organizar en p procesador. En tal marco, y a partir de lo visto para el DLX, explique que se hace con nmer nivel, que con el registro MDR (Memory Data Register), y con el registro PC. Expl tipos de hazards que se pueden presentar. Performance ideal y concepto de pipeli stall's que lo apartan de la misma. Que se entiende por Branch Retardado; limita dad de disponer de un Branch Prediction Buffer, BPB. Alternativas de implemen ts. Como opera un Branch Target Buffer, BTB.

de memoria virtual. Cuál es el requerimiento a nivel de la arquitectura d de Memoria Virtual. Formas de organización y análisis comparativo. T clo. Explique la tecnología DRAM empleada en Mp. Explique el p en que afecta el proceso de regeneración. Refresco y su relación co n dos dimensiones. Concepto y utilidad del interleaving de mem