

Arquitectura de Computadoras - Examen Final 27-12-12

(El enunciado pudo haber sido levemente distinto, si alguno que haya rendido esa fecha ve que faltó algo, no duden en arreglarlo)

Tema 1

Circuito multiplicador. Explicar cómo opera. Analizar métodos para mejorar la velocidad de la multiplicación

1. Recodificación de bits del multiplicador
2. Utilización de CSA's para agilizar el producto

Explicar qué modificaciones deben hacerse para usar operandos en 2 complemento. Qué ocurre si el multiplicador o el multiplicando son negativos. Recodificación de Booth.

Tema 2

Jerarquía de memoria. Explicar en qué consiste cada nivel. Localidad de referencias y qué niveles se sustentan en el.

Organización de la memoria caché, explicar y comparar las tres opciones vistas. Detallar la clasificación de misses. Especifique y analice ventajas para minimizar

1. Miss de conflicto
2. Miss penalty
3. Hit time

Si alguna de las soluciones propuestas presenta alguna desventaja, especificar cuál sería y sugerir formas de mitigar esta problemática.

Tema 3

Definición de pipeline en general. De qué modo la estructuración en pipeline afecta a la latencia y por qué. Ejemplificar usando DLX.

Especificar y analizar los diferentes hazards.

RaW. Dar alternativas para evitar este conflicto static scheduling (de software), dynamic scheduling y forwarding (de hardware).

Tema 4

Control cableado vs control microprogramado. Dar una implementación de control cableado, esquematizar. Cómo puede minimizarse el tamaño de la memoria de control tanto verticalmente como horizontalmente. Qué se entiende por emulación y qué ventajas presenta.

29-12-10

TEMA 1

Esquema del circuito multiplicacion enteros no signados. Sobre el mismo detallar el proceso de la multiplicacion
Ventajas de recodificar de a mas de un bit. Beneficios adicionales de recodifiacion de Booth
CSA. Beneficio de usar uno o mas niveles en la implementacion del producto

TEMA 2

Jerarquia de memoria, propósito. Principio de localidad. Tecnologías empleadas. Interface entre niveles.
Cache: formas de organización, analisis comparativo. Politicas de actualizacion. Como solucionar el problema de coherencia Memoria-Cache provocado con I/O del tipo DMA
Cache multinivel y cache no bloqueante

TEMA 3

Definicion de pipeling general. Requerimientos para CPU en pipe.
Analisis de perfomance ideal. Hazards. Alternativas de HW y SW para resolver los conflictos RAW

TEMA 4

Control cableado vs microprogramado, analisis comparativo. Campos de la microinstruccion. Alternativas para reducir memoria de control (Horizontal y Vertical). Aplicacion en emulación y sintonía de arquitecturas

[AC]:

FINAL DE AC [03/05/13]:

T1) hw basico circuito multiplicacion. Explique como opera. Analizar alternativas para acelerar el proceso de multiplicacion.

a- Recodificar mas de un bit del multiplicador

b- emplear CSA con uno y varios niveles.

Como se modifica el proceso usando 2 complemento.

T2)Jerarquia de memoria. Tecnologias. Localidad de referencias. Relacion. Organizacion de cache. 3C's, alternativas de reduccion.

cache virtual reduce el hit time, explicar. Problema de alias y ambigüedad. Index virtual, tag fisico cual problema resuelven.

T3) Pipe gral. Objetivos. Latencia. Requerimientos basicos. Ej. con DLX. Hazards. Concepto de stall.

Como entender con los RAW: dinamic scheduling y forwarding. Beneficios.

T4) Memoria virtual, definicion, ventajas, organizacion (paginado,segmentado,segmentado paginado).

Como se obtiene la direccion fisica a partir del n° de pagina. TLB (todo). Importancia

Final Arquitectura 20/12/2012

Tema 1:

Detalle y describa HW básico para la división y explique la dinámica para ejecutar dicho proceso trabajando sin restoring. Verifique la validez del último paso, el que define el valor de q_0 en el caso de que se arrive a un dividendo parcial negativo.

Detallar el proc de división SRT trabajando en base 2 y en que se sustenta la división rápida. Compare las acciones que se realizan en el último paso cuando se alcanza un dividendo negativo con los aplicados en la división sin restoring.

Analice las posibilidades que otorga SRT en operación asíncrona tanto para trabajar con bases mayores a 2 como para el empleo de CSA.

Tema 2:

Cache de jerarquía de memoria. Objetivo. Tecnología empleada. Tipificación según las 3 c. Análisis comparativo de los tipos de organización. Analizar alternativas de mejorar:

- reducir hit time
- reducir miss conflicto
- reducir miss capacidad

Detallar efectos negativos que pueden tener los propuestos y que soluciones se encuentran.

Explique que se entiende como cache virtual. Ventajas y que cuestiones deben contemplarse para seguir comportamiento correcto. Idem para cache con index virtual y tag físico. Ventajas que aporta cache no bloqueante.

Tema 3

Objetivos pipeline de instrucciones. Requisitos básicos para su implementación. Ejemplificar a partir de DLX. Describir los 3 tipos de hazard que se pueden presentar: estructurales, de datos, de control. Explicar alternativas de manejo estático para los hazard de control: pipe interlock, predic tomado, predic no tomado, delayed branch.

Explique conceptualmente dinámico scheduling (ejecución fuera de orden), la resolución de conflictos de nombre de tal esquema y como se solucionan los mismos.

Tema 4

Memoria virtual como alternativa para manejo de la interfaz mp-ms. Objetivos. Requerimientos a nivel arquitectura. Comparación de las formas de organización. Concepto y utilidad TLB en el mecanismo de traslación del sistema paginado. Dificultad a nivel de tabla de páginas con respecto a contigüidad y tamaño. Alternativas de solución.

Febrero 2013

Tema 1: HA y FA, funciones lógicas, ripple vs carry .CSA, ventajas de estos en la multiplicación ... y algo más que no recuerdo.

Tema 2: Memoria .objetivos. Ubicación de las referencias. Cache, formas de organización, Triple buffer. Cache multinivel. Cache no bloqueante

Tema 3: Pipeline. definición. áreas de aplicación. requerimientos básicos. hazards. en especial cómo solucionar a nivel de los estructurales. ejemplificar todo con DLX.

Tema 4: Flynn. (con todo lo de time shared bus y eso).

EXAMEN FINAL ARQUITECTURA DE COMPUTADORAS PARA INGENIERIA 16-3-2012

Apellido y Nombres:..... L.U.:

Tema #1

Sumadores paralelo: Ripple Adder y Carry Look Ahead Adder. Descripción y comparación de performance.

Que se entiende por CSA, Carry Save Adder. Como se construye y que función realiza; explicar el beneficio que aporta su empleo para la suma de tres o más operandos.

Tema #2.

Jerarquía de Memoria. Concepto de localidad de las referencias. Objetivos de Costo y Performance de una Jerarquía. Descripción somera de los niveles que la componen, y como se maneja la interface entre los diversos niveles.

Formas de organizar la memoria cache, análisis comparativo de costo y performance. Analice las siguientes alternativas para mejorar el miss rate, remarcando de existir aspectos negativos (y posible solución)

- a) bloques mas grandes
- b) prefetching por soft, necesidad de cache lockup-free (o no bloqueante)
- d) aumento de asociatividad
- e) aumento del tamaño

Tema #3

Pipeline de instrucciones. Objetivos. Requerimientos básicos de implementación. Performance ideal. Realice una descripción de los diversos Hazards que pueden afectar su performance: Estructurales, de Datos, y de Control.

En particular describa las distintas estrategias que conoce para entender con los conflictos del tipo RaW, tanto estáticas por software como dinámicas por hardware. Que ventajas tendrá el Dinamic Scheduling frente al Static Scheduling.

Tema #4

Control. Análisis comparativo entre el Control Cableado y el Microprogramado. Describa los campos básicos que componen una microinstrucción. Alternativas para reducir tamaño de la memoria de control, tanto horizontal como vertical. Emulación: concepto y utilidad.